

DOI: 10.5604/20830157.1093213

## PROTOTYP UKŁADU SCALONEGO Z DWUSTOPNIOWYM PRZETWARZANIEM IMPULSU DLA POTRZEB NISKOMOCOWEGO POMIARU CZASU WYSTĄPIENIA ZDARZENIA I AMPLITUDEY ŁADUNKU WEJŚCIOWEGO

Krzysztof Kasiński, Rafał Kleczek

Akademia Górniczo-Hutnicza w Krakowie, Wydział Elektrotechniki Automatyki Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki

**Streszczenie.** Artykuł prezentuje prototyp układu scalonego ASIC przeznaczonego do współpracy z krzemowymi detektorami o dużej pojemności. Mierzonymi wartościami są czas wystąpienia zdarzenia jak i ilość zdeponowanego ładunku. Celem zaprojektowanego układu jest obserwacja wpływu pojemności detektora (do kilkudziesięciu pF) na pracę i parametry dwustopniowego układu elektroniki front-end opartego koncepcyjnie o metodę przetwarzania typu Time-over-Threshold.

**Słowa kluczowe:** specjalizowane układy scalone, detektory półprzewodnikowe, wzmacniacz ładunkowy

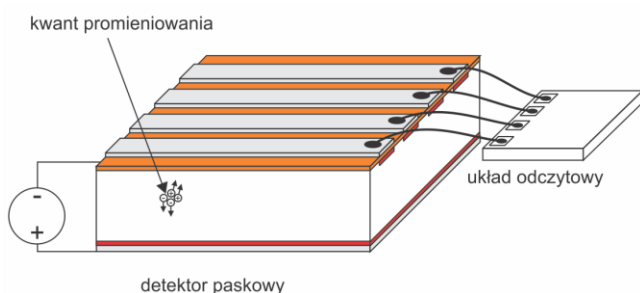
### LOW POWER PROTOTYPE OF THE INTEGRATED CIRCUIT WITH DUAL-STAGE PULSE PROCESSING FOR TIME AND AMPLITUDE MEASUREMENT

**Abstract.** This paper presents the prototype of the application specific integrated circuit designed for a silicon detector with large capacitance. The measured quantities are: the interaction time and the deposited charge. The aim of this project is to observe the influence of increasing sensor capacitance (up to tens of pF) on operation and performance of the dual-stage analog front-end electronics based on the concept of the Time-over-Threshold processing method.

**Keywords:** application specific integrated circuits, semiconductor detectors, charge-sensitive amplifiers

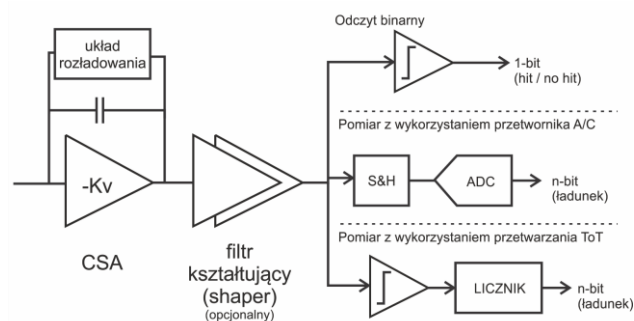
#### Wstęp

Detektory paskowe znajdują zastosowanie przede wszystkim w detektorach śladowych dla Fizyki Wysokich Energii oraz w obrazowaniu z wykorzystaniem promieniowania X. Padający kwant promieniowania lub cząstka generuje w obszarze aktywnym detektora pary ładunków (elektron – dziura). Ponieważ detektor pracuje jako dioda spolaryzowana zaporowo, istniejące w detektorze pole elektryczne powoduje, że ładunki zbierane są na jego elektrodach. Ładunki te następnie wpływają do układu elektroniki odczytu (elektronika typu *front-end*) stowarzyszoną z detektorem (rys. 1). Zebrany ładunek jest poddawany dalszemu przetwarzaniu. Do najważniejszych parametrów tej klasy układów należą: pobór mocy, poziom szumów własnych wyrażanych jako ekwiwalentny ładunek szumowy ENC (*Equivalent Noise Charge*), szybkość i liniowość funkcji przetwarzania.



Rys. 1. System detekcyjny z detektorem paskowym

Jedną z metod przetwarzania impulsów w systemach detekcyjnych pracujących w trybie zliczania pojedynczych fotonów (*single-photon counting mode*) jest przetwarzanie typu *Time-over-Threshold* (rys. 2). Metoda ta, w przeciwieństwie do układu wykorzystującego typowy przetwornik analogowo-cyfrowy, pozwala na niskomocowy pomiar zdeponowanego w detektorze ładunku przy jednoczesnym zachowaniu często niewielkiego stopnia komplikacji układu [5]. Za pomocą komparatora i układu licznika mierzy się czas trwania impulsu napięciowego powyżej zadanego progu dyskryminacji. Długość ta niesie informację na temat ilości ładunku wejściowego.

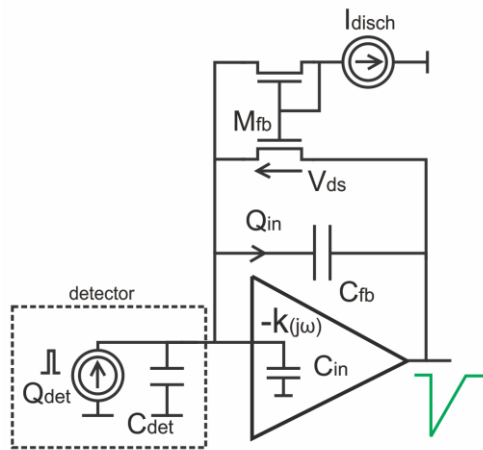


Rys. 2. Sposoby przetwarzania sygnałów z detektora pracującego w trybie zliczania pojedynczych fotonów

W zależności od typu przetwarzania analogowego poprzedzającego komparator, kształt charakterystyki przetwarzania (długość impulsu w funkcji ładunku wejściowego) może być różny. W realizacjach dla detektorów paskowych (pojemność sensora od kilku do kilkunastu pF) stosowane są filtry kształtujące (*shaper*'y). Charakterystyka taka jest często nieliniowa, co ogranicza zakres dynamiczny i dokładność pomiaru ładunku, a także komplikuje interpretację cyfrowych danych wyjściowych. Istnieją jednak realizacje oferujące liniową charakterystykę przejściową. Są one oparte na rozładowaniu kondensatora  $C_{fb}$  w sprzężeniu wzmacniacza ładunkowego za pomocą prądu stałego z wykorzystaniem np. lustra prądowego (rys. 3). Niestety, istniejące rozwiązania tego rodzaju można było znaleźć tylko dla detektorów o małej pojemności (detektory pikselowe).

Dotychczasowe badania autorów, poparte wykonanymi prototypami wskazują na to, iż uzyskanie liniowej funkcji przetwarzania przy pomiarze ładunku z detektorów o dużej pojemności (kilkadziesiąt pF) przy zachowaniu bardzo niskiego poboru mocy spotyka się z szeregiem trudności i problemów [2, 3]. Należą do nich:

- znaczny spadek wzmocnienia ładunkowego zwiększający się wraz ze wzrostem pojemności detektora  $C_{det}$ ,
- wypłaszczenie opadającego zbocza impulsu napięciowego na wyjściu wzmacniacza ładunkowego,
- redukcja stosunku sygnału do szumu SNR dla niskich progów dyskryminacji.



Rys. 3. Wzmacniacz ładunkowy z rozładowaniem prądem stałym

Najważniejszym problemem są sprzeczne wymagania odnośnie wartości pojemności  $C_{fb}$  w sprzężeniu zwrotnym wzmacniacza CSA. Aby zapewnić poprawną pracę układu należy zadbać o:

- wysoką ładunkowość (cały ładunek zdeponowany w detektorze jest zbierany w kondensatorze  $C_{fb}$ ),
- poprawną pracę  $M_{fb}$  jako lustra prądowego (w szczególności zapewnienie pracy w zakresie nasycenia).

Ładunek zebrany przez wzmacniacz CSA jest wyrażony poniższym równaniem:

$$Q_{fb} = \frac{C_{fb} \cdot (k_v + 1) \cdot Q_{in}}{C_{fb} \cdot (k_v + 1) + C_{in} + C_{det}} = Q_{in} \left|_{C_{fb}(k_v+1) \gg C_{in} + C_{det}} \right. \quad (1)$$

gdzie:  $Q_{fb}$  – ładunek zebrany w pojemności sprzężenia zwrotnego  $C_{fb}$ ,  $C_{in}$  – pojemność tranzystora wejściowego,  $C_{det}$  – pojemność detektora,  $Q_{in}$  – ładunek zdeponowany w detektorze,  $k_v$  – wzmacnienie napięciowe rdzenia wzmacniacza CSA.

Zatem aby zebrać we wzmacniaczu ładunkowym cały wygenerowany ładunek efektywna pojemność wejściowa wzmacniacza ładunkowego  $C_{fb}(k_v+1)$  musi być znacznie większa niż suma pojemności detektora  $C_{det}$  i pojemności tranzystora wejściowego  $C_{in}$ .

Wymagania dotyczące poboru mocy i zajmowanego obszaru krzemu determinują maksymalną osiągalną wartość wzmacnienia  $k_v$ . Dopasowanie szumowe wejściowego tranzystora wzmacniacza CSA do pojemności detektora wyznacza również pojemność tranzystora wejściowego  $C_{in}$  [1]. W związku z tym jedyny punkt swobody umożliwiający spełnienie powyższego wymagania stanowi pojemność sprzężenia zwrotnego  $C_{fb}$ .

Zapewnienie poprawnej pracy lustra prądowego w układzie sprzężenia zwrotnego wymaga przede wszystkim tego, aby tranzystor  $M_{fb}$  pracował w obszarze nasycenia. Niestety wymiary geometryczne tego tranzystora są ograniczone ze względu na konieczność minimalizacji wszelkich pasożytniczych pojemności wokół  $C_{fb}$ , co ma bezpośredni wpływ na minimalizację napięcia nasycenia  $V_{dssat}$  tranzystora  $M_{fb}$ . Możliwe jest jednak zapewnienie wyższego napięcia  $V$  w trakcie pracy poprzez zwiększenie wzmacnienia ładunkowego  $k_q$  wzmacniacza CSA. Wzmocnienie to jest odwrotnie proporcjonalne do pojemności  $C_{fb}$ . Aby zatem poprawić sytuację należy zmniejszać  $C_{fb}$ .

Powyższe rozważania prowadzą do sprzecznych wymagań w stosunku do  $C_{fb}$ . Niestety im większa pojemność detektora tym trudniej jest zagwarantować zgodność wobec obu wymagań.

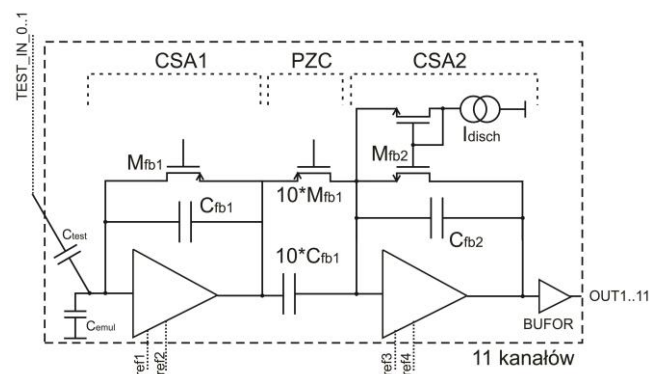
Jako możliwe rozwiązanie, autorzy zaproponowali koncepcję dwustopniowego przetwarzania ładunku wygenerowanego w detektorze [4]. W artykule przedstawiono projekt prototypowego specjalizowanego układu scalonego mającego za zadanie zweryfikować pracę przetwarzania dwustopniowego dla różnych pojemności detektora.

## 1. Architektura układu scalonego

Kanał elektroniki front-end składa się z dwóch stopni wzmacniaczy (rys. 2). Pierwszy stopień wzmacniacza ładunkowego CSA1 jest zoptymalizowany pod kątem wysokiej ładunkowości, a więc zapewnia wysoką efektywną pojemność wejściową (zdeteterminowaną głównie przez wzmocnienie jądra wzmacniacza oraz pojemność sprzężenia zwrotnego  $C_{fb1}=150$  fF), oraz pod kątem niskich szumów. Stopień ten zużywa 1,59 mW mocy. Ładunek wejściowy jest całkowany przez pojemność  $C_{fb1}$ . Dzięki obecności obwodu PZC (Pole-Zero Compensation) sygnał jest przekazywany dalej w postaci wzmocnionego dziesięciokrotnie sygnału prądowego.

Tak wzmocniony sygnał prądowy jest powtórnie całkowany na kondensatorze  $C_{fb1}$  w układzie CSA2. Zastosowany w sprzężeniu zwrotnym układ ze źródłem prądowym rozładowuje kondensator prądem stałym. Dzięki temu, długość impulsu napięciowego na wyjściu wzmacniacza CSA2 jest proporcjonalna do ładunku wejściowego. Funkcjonalność ta pozwala na uzyskanie liniowej charakterystyki przejściowej nawet w warunkach nasycenia jądra wzmacniacza CSA2.

Zaprojektowany układ składa się z 11 kanałów odczytowych (rys. 4). Ładunek wejściowy wstrzykiwany jest przez kondensator  $C_{test} = 100$  fF. Wstrzykiwanie następuje dzięki wymuszeniu na okładce kondensatora skoku napięcia. Aby umożliwić testowanie przesłuchów między kanałami oraz uniknąć wyzwolenia wszystkich kanałów jednocześnie kondensatory  $C_{test}$  są sterowane z dwóch osobnych linii TEST\_IN\_0 i TEST\_IN\_1.



Rys. 4. Struktura układu scalonego

Zbadanie zachowania układów z wykorzystaniem detektorów paskowych o różnych pojemnościach wiązało się z zakupem wielu różnych, kosztownych sensorów. Dotychczasowe próby autorów dotyczące emulacji pojemności sensorów z wykorzystaniem zewnętrznych kondensatorów polegały na:

- dołączeniu zewnętrznego kondensatora ceramicznego w budowie np. 0402 do wejścia układu scalonego poprzez wykonanie połączenia drutowego (wirebond) do specjalnie przygotowanego padu na obwodzie drukowanym,
- dołączeniu odpowiednio przyciętego (do zadanej pojemności) przy wykorzystaniu precyzyjnego miernika RLC przewodu koncentrycznego i podłączeniu żyły sygnałowej do wejścia wzmacniacza ładunkowego a oplotu do masy.

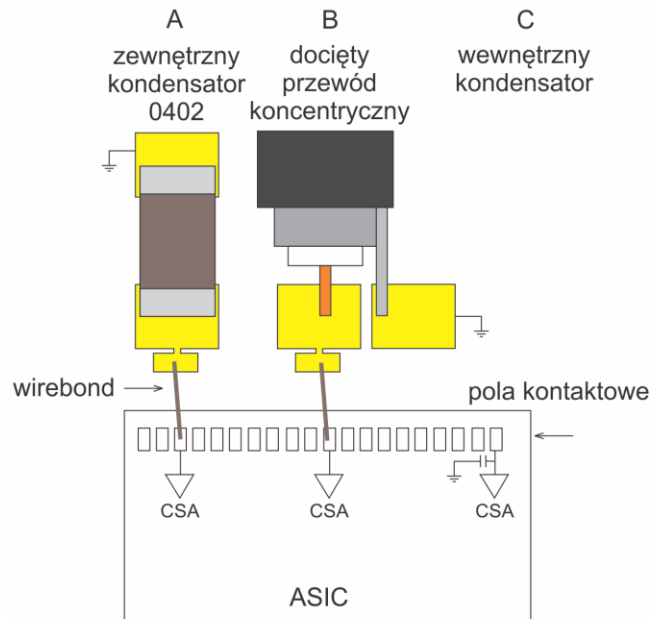
Niestety w takiej konfiguracji miarów zewnętrznych zakłóceń docierających do układu utrudnia miarodajne pomiary (rys. 5). W związku z tym, w celu zbadania zachowania i zmian parametrów układu dla różnych pojemności detektora, każdy z kanałów ma na swoim wejściu podłączony kondensator zintegrowany w strukturze scalonej o różnej pojemności (od 0 pF do 32 pF).

Wyjście każdego z kanałów posiada bufor wyjściowy (NMOS:  $200 \mu\text{m} \times 180 \text{ nm}$ ,  $I_d = 200 \mu\text{A}$ ) przystosowany do sterowania obciążen do ok. 20 pF (np. pasywna sonda oscyloskopowa) i jest dostępne na osobnym polu kontaktowym

OUT1..11. Dzięki temu, sygnał analogowy wprost po przetworzeniu będzie dostępny do dalszej analizy (nakładanie progu, zliczanie, pomiar czasu trwania, obserwacja efektu pełzania znacznika czasowego, analiza statystyczna itp.) z wykorzystaniem sprzętu laboratoryjnego.

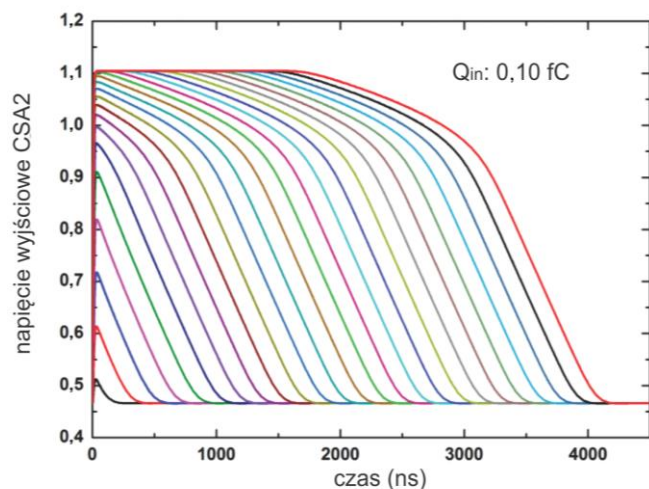
Na podstawie przeprowadzonych symulacji *post-layout* spodziewane parametry układu są następujące:

- poziom szumów: równoważny ładunek szumowy  $ENC = 892 e^-$  rms przy  $C_{det} = 30$  pF,
- wzmocnienie ładunkowe 240 mV/fC (zachowuje liniowość do ok. 2 fC ładunku wejściowego),
- wzmocnienie czasowe 400 ns/fC (liniowość znacznie przekraczająca zakres 10 fC),
- pobór mocy: 2,05 mW/kanal.



Rys. 5. Emulacja pojemności detektora za pomocą elementów zewnętrznych (A, B) oraz emulacja elementem wewnętrznym (C)

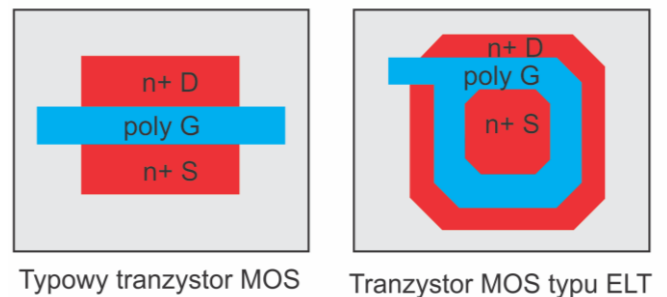
Na rysunku 6 przedstawiono napięciowe przebiegi wyjściowe wzmacniacza CSA2 dla różnych ładunków wejściowych (0-10 fC). Można zauważyć, że pomimo nasycenia amplitudowego wzmacniacza występującego powyżej ok. 2 fC czas trwania impulsu jest nadal liniową funkcją ładunku wejściowego.



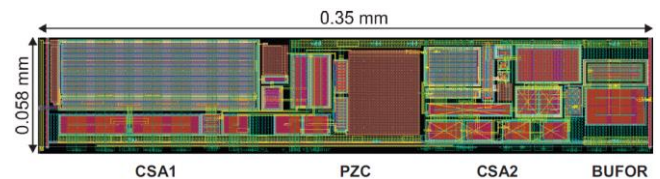
Rys. 6. Napięciowe przebiegi wyjściowe na wyjściu wzmacniacza CSA2 dla różnych ładunków wejściowych (0 - 10 fC)

## 2. Plan masek topologicznych

Plan masek kanałów pomiarowych został wykonany z myślą o aplikacji w docelowym, wielokanałowym układzie scalonym. Szerokość kanału jest zatem zgodna z odstępem między paskami detektora (58  $\mu$ m). Pojedynczy kanał zajmuje obszar 58  $\mu$ m  $\times$  350  $\mu$ m. Dzięki temu układ jest skalowalny, co zapewnia współpracę z detektorami o wielu paskach (np. 512). Aby poprawić odporność układu na efekty radiacyjne (przede wszystkim TID: *Total Ionizing Dose*) zastosowano tranzystory NMOS w topologii zamkniętej bramki ELT (*Enclosed Layout Transistor*) (Rys. 7). Warto dodać, że większość nowoczesnych technologii submikronowych ze względu na cienki tlenek bramkowy jest w dużej mierze stosunkowo odporna na niektóre z efektów radiacyjnych.



Rys. 7. Topologie tranzystorów MOS: typowego i w geometrii zamkniętej bramki

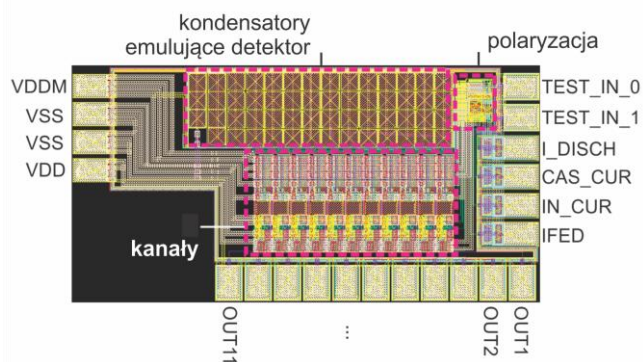


Rys. 8. Plan masek pojedynczego kanału układu scalonego

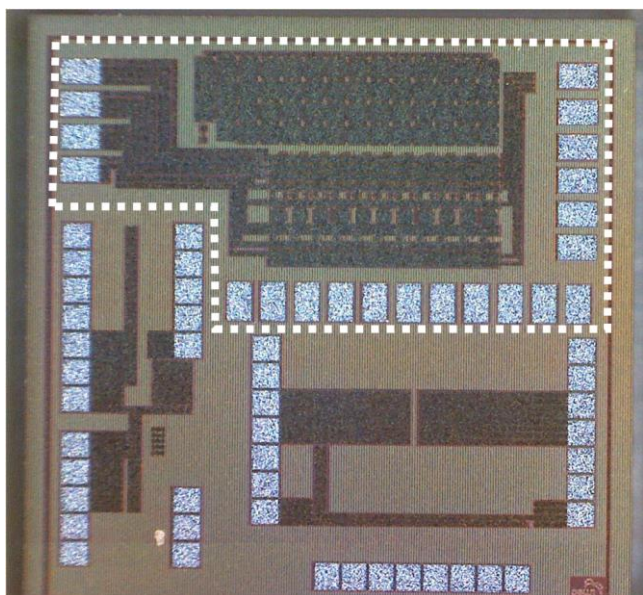
11 kondensatorów o wartościach pokrywających równomiernie zakres od 0 pF do 32 pF zostało zrealizowanych jako pojemności typu *mimcap* (kondensator pomiędzy warstwami metali 5 i 6 w technologii UMC 180 nm). W celu zmniejszenia rozrzutu parametrów tych elementów zbudowano matrycę składającą się z 55 identycznych kwadratowych struktur kondensatorów, a następnie odpowiednio połączono je między sobą i z wejściami poszczególnych kanałów odczytowych (rys. 8).

Plan masek zaprojektowanej struktury przedstawiono na rysunku 9. Zajmuje ona obszar 1,49 mm  $\times$  0,76 mm. Przy czym warto zaznaczyć, że zdecydowaną większość tego obszaru zajmują pola kontaktowe oraz pojemności emulujące różne pojemności detektora (które w docelowej aplikacji nie są potrzebne). Najistotniejsza część układu zajmuje mniej niż 20% powierzchni struktury. Należy zaznaczyć, że prototyp ten nie posiada padów wejściowych do podłączenia detektora – jego celem jest sprawdzenie wzmocnienia (za pomocą wstrzykiwania ładunku z wykorzystaniem generatora zewnętrznego), poziomu szumów i liniowości charakterystyki dla różnych pojemności emulujących obecność detektora.

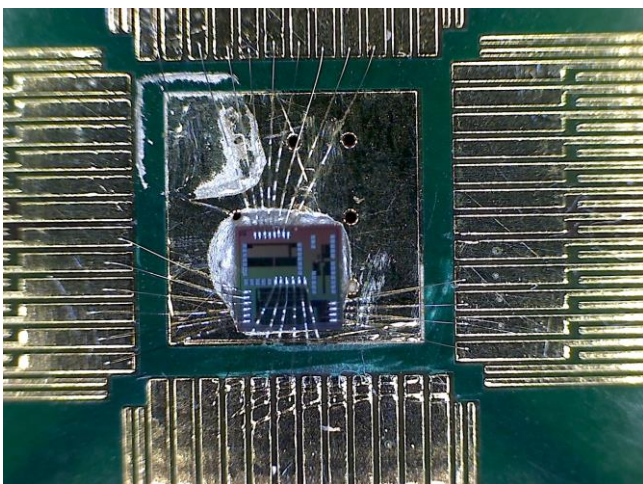
Prototypowy układ scalony został wyprodukowany maju 2013 r. w technologii UMC 180 nm CMOS, dzięki serwisowi EURO PRACTICE (Rys. 10). Przedstawiony układ prototypowy stanowił jeden z trzech niezależnych układów umieszczonych na jednej kości. Wykonany chip ma wymiary 1,5 mm  $\times$  1,5 mm na którym prezentowana struktura zajmuje ok. połowy powierzchni. Aby zminimalizować wpływ sąsiadujących struktur na wykonany układ otoczono go 4-rzędowym pierścieniem zabezpieczającym.



Rys. 9. Plan maski zaprojektowanej struktury: 1) obwody do polaryzacji, 2) kondensatory symulujące pojemność detektora, 3) kanały pomiarowe



Rys. 10. Fotografia wyprodukowanego układu scalonego



Rys. 11. Układ scalony umieszczony na stanowisku testowym

### 3. Podsumowanie

W wykonanym układzie zaimplementowano dwustopniowe przetwarzanie impulsu ładunkowego jako możliwe rozwiązanie problemu implementacji przetwarzania typu ToT z rozładowaniem prądem stałym dla detektorów o dużej pojemności w celu uzyskania charakterystyki przetwarzania o dużej liniowości. Rozwiązania zastosowane w prezentowanym układzie powinny umożliwić szybkie i kompletne sprawdzenie funkcjonowanie toru pomiarowego w szerokim spektrum pojemności sensora.

Do zalet przedstawionego układu można zaliczyć:

- bardzo niski pobór mocy (kilka mW),
  - liniowa charakterystyka ToT dla dużych pojemności detektora,
  - nieskomplikowana budowa.
- Jako wady można wymienić (w porównaniu do przetwarzania przedstawionego na rys. 3):
- ograniczony zakres dynamiczny ale nadal bardzo duży,
  - nieco większy pobór mocy (ok. 30%).

### Podziękowania

Praca powstała przy wsparciu Narodowego Centrum Nauki – nr: UMO-2011/02/N/ST7/01815.

### Literatura

- [1] Gryboś P.: Front-end Electronics for Multichannel Semiconductor Detector Systems, Warsaw University of Technology, 2010.
- [2] Kasiński K., Szczygieł R., Gryboś P.: TOT01, a time-over-threshold based readout chip in 180 nm CMOS technology for silicon strip detectors. JINST Journal of Instrumentation 2011 vol. 6 s. 1-6.
- [3] Kasiński K., Szczygieł R., Gryboś P.: TOT02, a time-over-threshold based readout chip in 180 nm CMOS process for long silicon strip detectors. Proceedings of IEEE Nuclear Science Symposium and Medical Imaging Conference, 2011, Valencia, Spain.
- [4] Kasiński K., Kleczek R., Gryboś P., Szczygieł R.: Time-over-Threshold processing implementation for silicon detectors with large capacitances. Proceedings of IEEE Nuclear Science Symposium and Medical Imaging Conference, 2012, Anaheim, California, USA, s. 884-885.
- [5] Kipnis I. et al: A Time-over-Threshold Machine: the Readout Integrated Circuit for the BaBar Silicon Vertex Tracker, IEEE Transactions on Nuclear Science, 44 (1997), No 34, s. 289-297.

**Dr inż. Krzysztof Kasiński**  
e-mail: krzysztof.kasinski@agh.edu.pl

W roku 2012 uzyskał stopień doktora nauk technicznych w dyscyplinie Elektronika. Obecnie adiunkt w Katedrze Metrologii i Elektroniki wydziału Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej Akademii Górniczo-Hutniczej w Krakowie. Zainteresowania naukowe obejmują między innymi projektowanie specjalizowanych układów scalonych oraz systemów kontrolno-pomiarowych. Jest autorem lub współautorem ponad 30 prac naukowych.



**Mgr inż. Rafał Kleczek**  
e-mail: rafal.kleczek@agh.edu.pl

Ukończył Akademię Górniczo-Hutniczą w 2009, kierunek: Elektronika i Telekomunikacja, specjalność: Mikroelektronika i aparatura biomedyczna. Obecnie jest na czwartym roku Studiów Doktoranckich na Wydziale IET, AGH. Pracuje jako asystent w Katedrze Metrologii i Elektroniki, AGH. Jego głównym zainteresowaniem naukowym jest projektowanie scalonych wielokanałowych układów elektroniki front-end do odczytu półprzewodnikowych detektorów promieniowania X.

