

PROJEKT UKŁADU ELEKTRONIKI ODCZYTU FRONT-END DO POMIARU CZASU I ENERGII DLA PÓŁPRZEWODNIKOWYCH DETEKTORÓW PASKOWYCH

Rafał Kleczek

Akademia Górniczo-Hutnicza w Krakowie, Wydział Elektrotechniki Automatyki Informatyki i Inżynierii Biomedycznej, Katedra Metrologii i Elektroniki

Streszczenie. W niniejszym artykule został przedstawiony opis elektroniki front-end do pomiaru czasu interakcji i energii fotonu dedykowanej do odczytu dwustronnych detektorów paskowych, zaimplementowanej w technologii submikronowej UMC 180 nm CMOS. Jednoczesny i dokładny pomiar czasu interakcji oraz energii zdeponowanej w detektorze wymaga zastosowania w torze odczytowym dwóch różnych, równoległych ścieżek przetwarzania sygnału: „szybkiej” i „wolnej”. Parametry zaprojektowanego układu: niskim poziom rozpraszanej mocy $P=3,2$ mW, niski poziom szumów własnych $ENC=586$ e- rms (dla „wolnej” ścieżki i $C_{det}=30$ pF), a powierzchnia krzemu zajmowana przez pojedynczy kanał wynosi $50 \mu\text{m} \times 1100 \mu\text{m}$.

Słowa kluczowe: detekcja promieniowania X, elektronika niskoszumna, układ CMOS elektroniki odczytu front-end, pomiar czasu i energii

THE DESIGN OF READOUT FRONT-END ELECTRONICS FOR TIME AND ENERGY MEASUREMENTS FOR SEMICONDUCTOR STRIP DETECTORS

Abstract. This work presents the design of the readout front-end electronics for time and energy measurements dedicated for double-sided strip detectors implemented in submicron technology UMC 180 nm CMOS. The simultaneous and accurate measurements of time and energy deposited in the detector by a photon requires the use of two different parallel processing paths in the single channel: fast and slow. The designed front-end electronics is characterized by low power dissipation level $P=3.2$ mW, low noise performance $ENC=586$ e- rms (for “slow” path and at $C_{det}=30$ pF). The single channel occupies silicon chip area of $50 \mu\text{m} \times 1100 \mu\text{m}$.

Keywords: X-ray detection application, low noise electronics, CMOS readout front-end electronics, time and energy measurements

Wstęp

Wśród nowoczesnych wielokanałowych systemów detekcyjnych zbudowanych z półprzewodnikowych detektorów promieniowania X oraz stowarzyszoną z nimi elektroniką odczytu front-end spotyka się klasy układów, które dążą do: wyznaczenia pozycji interakcji fotonu z elementem detekcyjnym, pomiaru jego energii oraz czasu zdarzenia. Z kolei biorąc pod uwagę budowę tych systemów detekcyjnych można je podzielić na układy odczytowe oparte na architekturze paskowej bądź pikselowej. Układy o architekturze paskowej stosowane są najczęściej w eksperymentach fizyki wysokich energii HEP (ang. *High Energy Physics*), gdzie informacja o torze lotu badanej cząstki oraz jej energii ma priorytetowe znaczenie. Nadrzędnym zaś celem systemów detekcyjnych opartych na architekturze pikselowej jest informacja o rozkładzie przestrzennym padających fotonów.

W niniejszym artykule został przedstawiony projekt prototypowego układu odczytowego, który jest funkcjonalną hybrydą łączącą w sobie pomiar pozycji, czasu oraz energii padającej cząstki.

1. Architektura toru elektroniki odczytu front-end

Architektura prezentowanego toru elektroniki front-end do pomiaru czasu i energii padającej cząstki promieniowania X została przedstawiona na rys.1. Padające fotony promieniowania X na spolaryzowaną w kierunku zaporowym diodę (detektor) deponują głównie wskutek efektu fotoelektrycznego swoją energię w detektorze, generując jednocześnie prawie punktowo odpowiednią ilość par elektron-dziura. Wygenerowana ilość par elektron-dziura jest proporcjonalna do energii padającego fotonu, a średni współczynnik konwersji jest zależny od rodzaju materiału zastosowanego do budowy detektora. Przykładowo dla krzemu wynosi 3,67 eV na powstanie jednej pary. Wyindukowany na okładkach detektora ładunek jest zbierany w czasie zależnym od jego budowy i zastosowanego materiału przez elektrody (od kilku do kilkudziesięciu ns), a następnie zostaje przetworzony przez stowarzyszony z detektorem tor elektroniki odczytu.

W literaturze przedmiotu można znaleźć dwie główne ścieżki rozwiązań torów elektroniki front-end do pomiaru zdeponowanej w detektorze energii fotonu [2, 6]. Pierwszą ścieżką są torry budowane ze wzmacniacza ładunkowego CSA (ang. *Charge Sensitive Amplifier*) oraz układ kształtującego (ang. *Pulse Shaping*

Amplifier), które zapewniają wysoki stosunek sygnału do szumu SNR (ang. *Signal-to-Noise Ratio*), stały czas przetwarzania impulsu oraz liniową charakterystykę amplitudy wyjściowej od wejściowego ładunku q_{in} [4]. Drugim nurtem jest zastosowanie przetwarzania typu ToT (ang. *Time-over-Threshold*), gdzie typowo za wzmacniaczem CSA znajduje się komparator wraz z licznikiem liczącym czas przekroczenia przez napięcie wyjściowe CSA zadanego progu referencyjnego [3]. Wyznaczony w ten sposób odcinek czasowy jest proporcjonalny do energii padającego fotonu. Ze względu na stromość zbocza impulsu wyjściowego CSA przetwarzanie typu ToT pozwala jednocześnie określić znacznik czasu interakcji cząstki z detektorem. Jednak brak układu kształtującego pociąga za sobą wyższe wartości mierzonych szumów oraz czas przetwarzania zależny od ładunku wejściowego q_{in} , co może skutkować dłuższym czasem martwym t_d (ang. *dead time*) toru. Z drugiej jednak strony brak układu kształtującego minimalizuje poziom rozpraszanej mocy oraz zajmowaną powierzchnię krzemu. Mając na uwadze powyższe ograniczenia związane z daną architekturą autor zdecydował się na budowę toru odczytowego zawierającego dwie ścieżki przetwarzania sygnału (patrz rys. 1) [1]. Stopień wejściowy jest zbudowany ze wzmacniacza ładunkowego CSA integrującego wejściowy impuls prądowy oraz układu odwracania polaryzacji PSC (ang. *Polarity Selection Circuit*). Następnie sygnał jest przetwarzany przez dwie równoległe ścieżki: „szybką” i „wolną”. „Szybka” ścieżka oparta na układzie kształtującym typu CR-RC służy do wyznaczenia czasu przyścia ładunku wejściowego q_{in} , zatem jej czas kształtowania t_p (ang. *peaking time*) musi być odpowiednio krótki (rzędu kilkudziesięciu ns). „Wolna” ścieżka zawierająca układ kształtujący typu CR-(RC)² o czasie kształtowania t_p kilkukrotnie dłuższym niż w przypadku ścieżki „szybkiej”, służy do wyznaczenia energii padającego fotonu, która jest proporcjonalna do amplitudy wyjściowej. Ze względu na wymagania krótkiego czasu przetwarzania impulsu wejściowego stawiane przed docelową aplikacją tor odczytowy zawiera układ resetu, który jest wyzwany po tym, jak na wyjściu toru „wolnego” pojawi się wartość maksymalna impulsu napięciowego. W prototypowym torze odczytowym do wyjść układów kształtujących dołączone są stopnie buforów, za pomocą których sygnały będą podawane na kontaktowe pola (pady) wyjściowe układu scalonego. W docelowej aplikacji do wyjścia „wolnego” układu kształtującego będzie dołączony przetwornik analogowo-cyfrowy ADC (ang. *Analog to Digital Converter*), a do wyjścia „szybkiego” układu kształtującego będzie dołączony komparator. Schemat elektryczny zaprojektowanego wzmacniacza

ładunkowego CSA jest przedstawiony na rys. 2. Rdzeniem wzmacniacza CSA jest wzmacniacz napięciowy oparty o architekturę układu zawiniętej kaskody (tranzystory M1 – M4), która w prezentowanym rozwiązaniu jest podwójnie buforowana (tranzystory M7 – M8 i M9 – M10), co minimalizuje wpływ zakłóceń dalszych stopni przetwarzania na elementy sprzężenia zwrotnego CSA [5]. Ze względu na optymalizację szumową toru odczytowego stopień wejściowy powinien charakteryzować się dużym wzmocnieniem, zatem tranzystor M1 powinien mieć dużą wartość transkonduktancji g_m . W tym celu jego nominalny prąd drenu wynosi 1 mA, a jego wymiary wynoszą: $W=3$ mm, $L=0.32$ μ m. Wzmocnienie napięciowe k_v rdzenia wzmacniacza CSA wynosi 6200 V/V, a jego pole wzmocnienia GBW (ang. *gain-bandwidth product*) wynosi 5,35 GHz.

Sprężenie zwrotne wzmacniacza ładunkowego CSA stanowią: pojemność $C_F=100$ fF, rezystancja o nominalnej wartości $R_F=10$ M Ω oparta na tranzystorze MOS pracującym

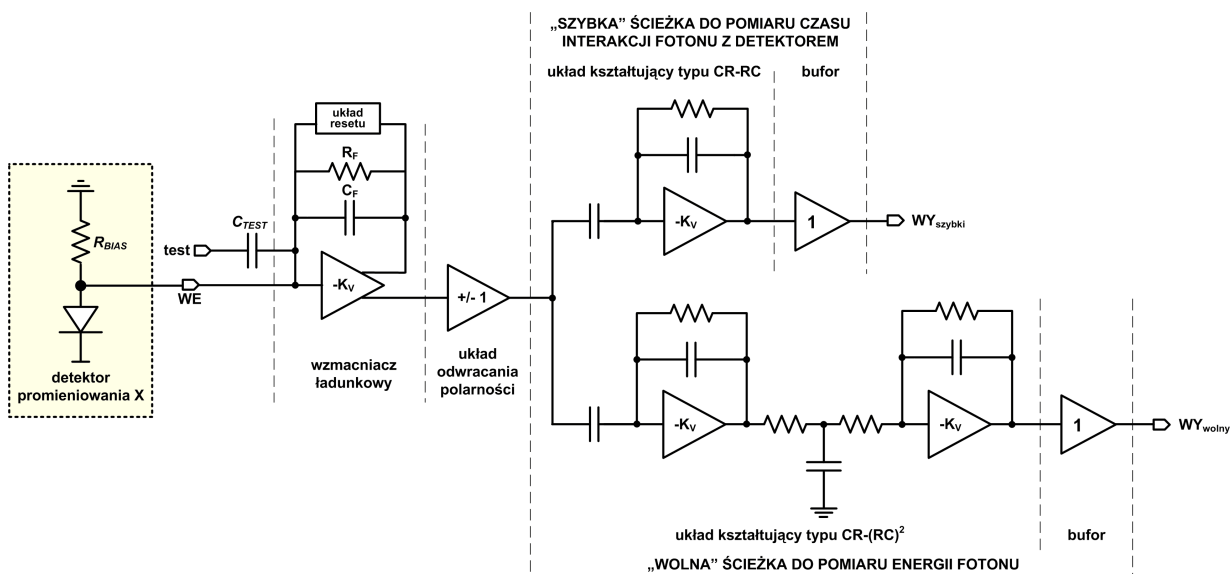
w zakresie liniowym oraz układ resetu. Aby impuls prądowy wygenerowany przez detektor wpłynął do wzmacniacza CSA pojemność widziana z jego wejścia musi być dużo większa niż pojemność detektora C_{DET} , co wyraża poniższy warunek:

$$C_{IN\ CSA} = k_v \cdot C_F \gg C_{det} \tag{1}$$

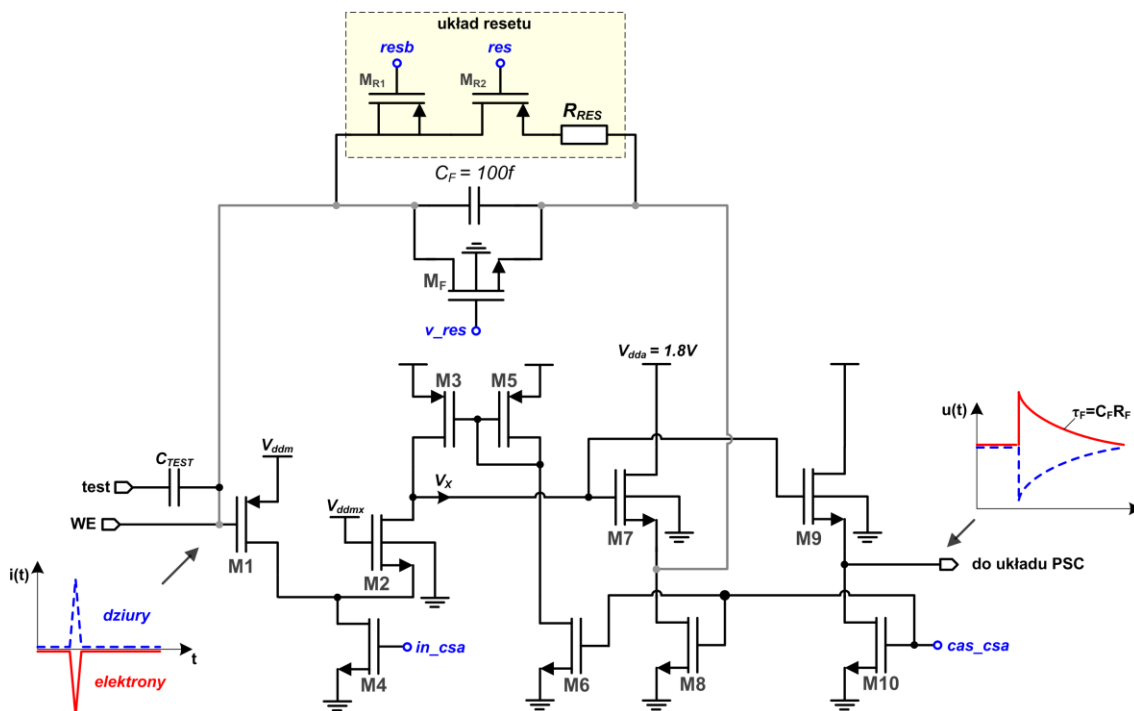
Wartość pojemności C_F jest także związana ze wzmocnieniem ładunkowym k_q wzmacniacza ładunkowego CSA, które w przypadku idealnym wynosi:

$$k_q = -\frac{1}{C_F} \tag{2}$$

Zastosowanie zaprojektowanego wzmacniacza napięciowego oraz pojemności C_F pozwala otrzymać wzmocnienie ładunkowe wynoszące $k_q=7,8$ mV/fC oraz straty wyindukowanego w detektorze ładunku q_{in} wynoszące ok. 5% dla pojemności detektora $C_{det}=30$ pF. Moc rozpraszana przez wzmacniacz CSA wynosi $P_{CSA}=1,37$ mW.



Rys. 1. Architektura prezentowanego toru elektroniki odczytu front-end do pomiaru czasu i energii fotonu.



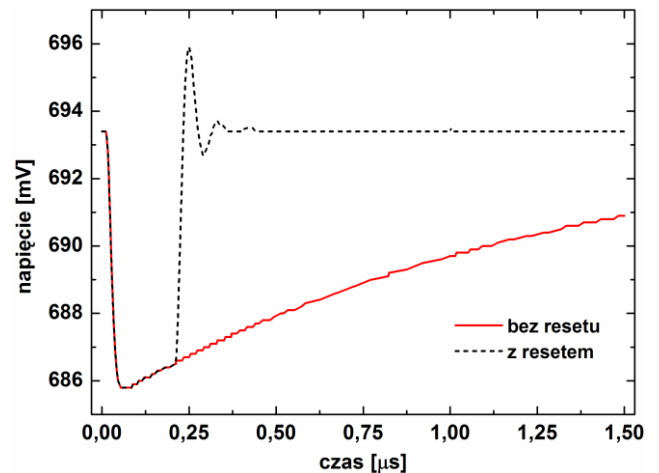
Rys. 2. Schemat elektryczny wzmacniacza ładunkowego CSA.

Wybór wartości rezystancji R_F jest kompromisem pomiędzy właściwościami szumowymi a szybkościowymi toru odczytowego. Wyższa wartość rezystancji R_F to niższy poziom szumów, z kolei dłuższy czas przetwarzania impulsu przez wzmacniacz CSA (dłuższa stała czasowa sprzężenia zwrotnego $\tau_F=R_F \cdot C_F$).

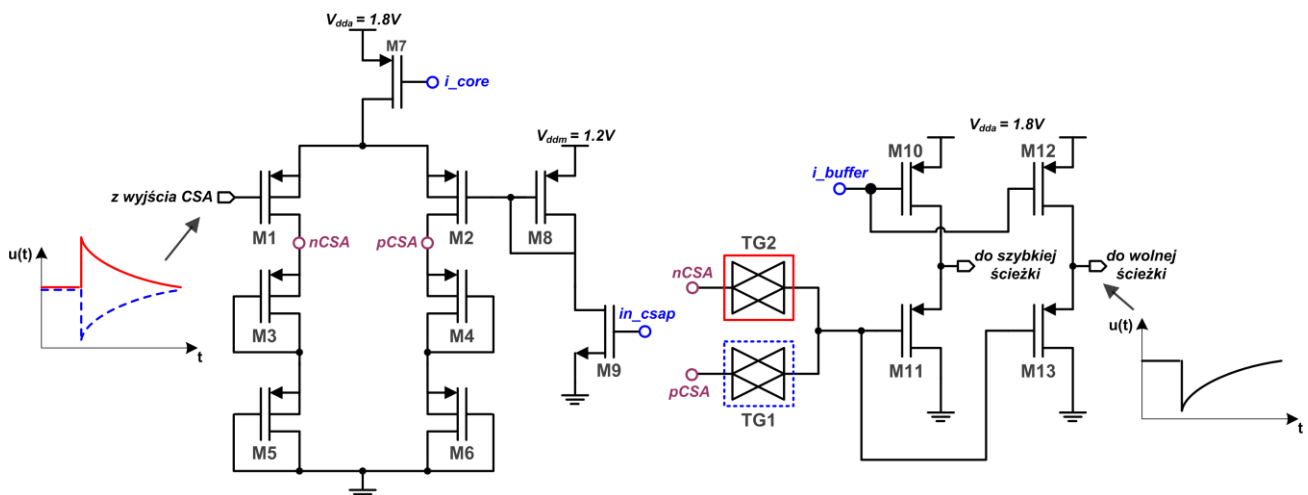
Na rys. 3 zostały przedstawione przebiegi wyjściowe wzmacniacza CSA dla nominalnej wartości rezystancji R_F (stała czasowa $\tau_F=1 \mu s$) w przypadku wyłączonego i włączonego układu resetu. Układ resetu zbudowany jest z szeregowo połączonych kluczy i rezystora $R_{RES}=100 k\Omega$. Zastosowanie dodatkowego, zwartego klucza minimalizuje wpływ wstrzykiwania niepożądanego ładunku w momencie przełączenia klucza [5]. Dodatkowo, potencjały bramek kluczy są sterowane napięciami 0,9 V lub 1,8 V co minimalizuje ilość ładunku zawartego w kluczach. Załączenie układu resetu powoduje bardzo szybkie rozładowanie kondensatora C_F , dzięki czemu stopień wejściowy w krótkim czasie wraca do stanu początkowego. Ze względu na asynchroniczność pojawiających się impulsów wejściowych q_{in} docelowa aplikacja będzie zawierać w swoim torze układ, który samoczynnie wyzwoły reset w odpowiedniej chwili czasowej (ang. *self-triggering reset*). Układ resetu prototypowego układu będzie na potrzeby testów wyzwalany przez sygnał zewnętrzny.

Przetwornik ADC oraz komparator wymagają, aby impulsy wyjściowe danej ścieżki przetwarzania miały zadaną polaryzację. Zatem, aby umożliwić zbieranie dziur lub elektronów z okładek detektora w torze odczytowym został zawarty układ odwracania polaryzacji PSC, którego schemat elektryczny został przedstawiony na rys. 4. Układ PSC jest zbudowany w oparciu

o wzmacniacz różnicowy o wzmocnieniu wynoszącym 1 V/V. Potencjały $nCSA$ lub $pCSA$ w zależności od wybranej polaryzacji są przekazywane przez bramki transmisyjne na wejścia buforów wyjściowych opisywanego stopnia, które są zastosowane ze względu na pojemności wejściowe stopni kształtujących (patrz rys. 1). Regulacja potencjałem in_csa pozwala na pracę z prądem upływu detektora rzędu $\pm 10 nA$. Moc rozpraszana przez układ odwracania polaryzacji wynosi $P_{PSC}=0,5 mW$.

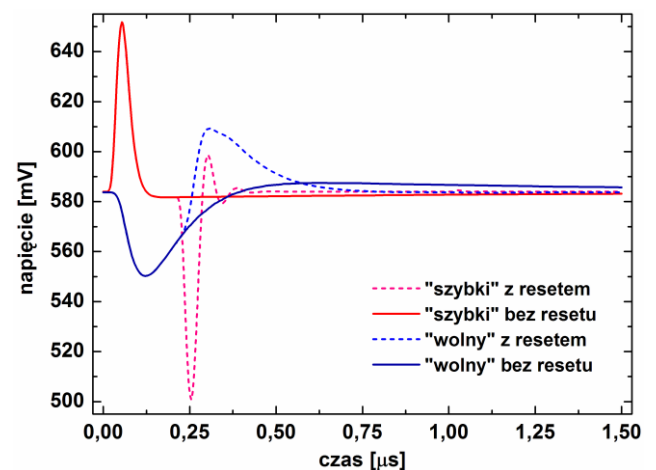


Rys. 3. Przebiegi na wyjściu wzmacniacza ładunkowego CSA w przypadku wyłączonego i włączonego układu resetu dla ładunku wejściowego $q_{in}=1 fC$



Rys. 4. Schemat elektryczny układu odwracania polaryzacji PSC

„Szybka” ścieżka przetwarzania impulsu wejściowego służy do wyznaczenia czasu interakcji padającego fotonu na detektor. Zbudowana jest ona z układu kształtującego typu CR-RC, którego rdzeń stanowi wzmacniacz napięciowy oparty na architekturze układu zawiniętej kaskody. Wymiary tranzystorów MOS zastosowanych w rdzeniach układów kształtujących zostały odpowiednio przeskalowane w dół względem wymiarów tranzystorów MOS rdzenia wzmacniacza CSA, tak aby ograniczyć pobór mocy przy jednoczesnym utrzymaniu wymaganych parametrów na odpowiednim poziomie. Wzmocnienie napięciowe tych rdzeni wynosi $k_V=2500 V/V$, a pole wzmocnienia $GBW=1,31 GHz$. Czas kształtowania „szybkiej” ścieżki wynosi $t_p=30 ns$, a jej wzmocnienie ładunkowe $k_q=70 mV/fC$ (patrz rys. 5). W trakcie wyznaczania czasu interakcji fotonu przy porównywaniu z zadanym progiem referencyjnym pojawiają się różnice związane z ilością ładunku wejściowego q_{in} – impuls wyjściowy w krótszym czasie osiąga zadaną wartość napięcia dla większego ładunku wejściowego. Wartość niejednoznaczności znacznika czasu interakcji na poziomie ładunku wejściowego $q_{in}=0,8 fC$ wynosi $\Delta t=4 ns$.



Rys. 5. Przebiegi na wyjściach układów kształtujących w przypadku wyłączonego i włączonego układu resetu dla ładunku wejściowego $q_{in}=1 fC$

„Wolna” ścieżka przetwarzania impulsu wejściowego służy do wyznaczenia energii fotonu i jest zbudowana w oparciu o układ kształtujący typu CR-(RC)². Nominalne przebiegi wyjściowe tej ścieżki dla ładunku wejściowego $q_{in}=1$ fC w przypadku wyłączanego i włączonego układu resetu zostały przedstawione na rys. 5. W sytuacji, gdy nie jest aktywny układ resetu na przebiegu wyjściowym pojawia się przerzut względem poziomu bazowego (widoczny także na przebiegu „szybkiej” ścieżki) o czasie trwania równym czasowi rozładowania pojemności C_F sprzężenia wzmacniacza CSA, co jest wynikiem podania skoku napięciowego na wejście układu kształtującego przez pojemność. Wyeliminowanie opisanego przerzutu i skrócenie impulsu napięciowego na wyjściu układu kształtującego jest osiągalne poprzez zastosowanie układu równoważenia par biegun-zero PZC (ang. *Pole-Zero Cancellation Circuit*) [2, 6]. Autor nie zastosował układu PZC pozwalającego w krótszym czasie osiągnąć poziom bazowy napięcia wyjściowego ze względu na zastosowania układu resetu.

Bezpośredni pomiar amplitudy impulsu napięciowego na wyjściu tej ścieżki dostarcza informację o energii cząstki, zatem należy minimalizować szumy własne ścieżki, ponieważ stanowią one o rozdzielczości pomiarowej całego systemu odczytowego. Poziom szumów własnych dla tego typu aplikacji określane jest jako ENC (ang. *Equivalent Noise Charge*). Parametr ten jest definiowany jako ilość ładunku wejściowego dla której stosunek sygnału do szumu SNR na wyjściu układu jest równy 1. Szumy ENC elektroniki odczytu front-end mogą być wyrażone za pomocą trzech składowych:

$$ENC^2 = ENC_i^2 + ENC_v^2 + ENC_f^2 \quad (3)$$

które dla filtru typu CR-(RC)² są następująco definiowane:

- prądowa równoległa składowa szumowa:

$$ENC_i^2 \propto 0.64 \cdot t_p \cdot \left(2qI_{det} + \frac{4kT}{R_F} \right) \quad (4)$$

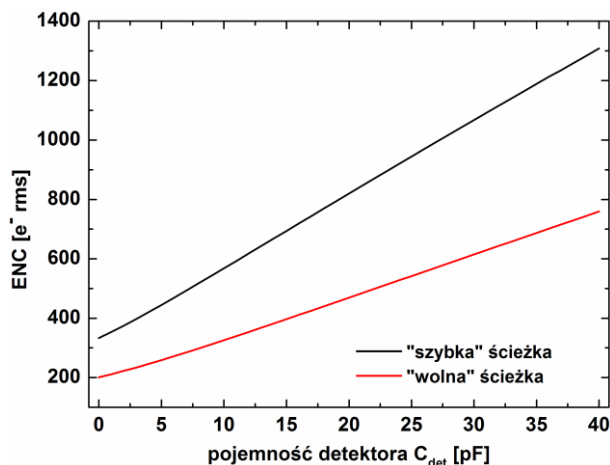
- napięciowa szeregowo składowa szumowa:

$$ENC_v^2 \propto 0.85 \cdot \frac{(C_{det} + C_F + C_{gg})^2}{t_p} \quad (5)$$

- składowa napięciowa szumów typu 1/f:

$$ENC_f^2 \propto 3.14 \cdot (C_{det} + C_F + C_{gg})^2 \quad (6)$$

gdzie: t_p – czas kształtowania, q – ładunek elementarny, I_{det} – prąd upływu detektora, k – stała Boltzmana, T – temperatura, R_F – rezystancja w sprzężeniu CSA, C_F – pojemność w sprzężeniu CSA, C_{det} – pojemność detektora, C_{gg} – pojemność bramki tranzystora wejściowego wzmacniacza CSA (patrz tranzystor M1 na rys. 2).



Rys. 6. Wartość ENC na wyjściu układów kształtujących w funkcji dołączonej pojemności detektora C_{det}

W przypadku pracy układu odczytowego z dużą częstotliwością impulsów wejściowych q_{in} , która pociąga za sobą krótki czas kształtowania t_p dominującym składnikiem jest napięciowa szeregowo składowa szumowa ENC_v^2 . Zatem, aby zmniejszyć poziom szumów własnych toru elektroniki odczytu należy stosować filtry o możliwie długim czasie kształtowania t_p . W przypadku zaprojektowanej „wolnej” ścieżki wynosi on $t_p=80$ ns, dzięki temu osiągnięte są lepsze parametry szumowe niż w przypadku „szybkiej” ścieżki, co zostało przedstawione na rysunku 6.

Zaprojektowany tor elektroniki odczytu front-end został zaimplementowany jako 8 kanałowy prototypowy układ scalony ASIC (ang. *Application Specific Integrated Circuit*) w technologii UMC 180 nm CMOS.

2. Wnioski

W artykule został zaprezentowany opis elektroniki front-end do pomiaru czasu interakcji i energii fotonu dedykowanej do odczytu dwustronnych detektorów paskowych, zaimplementowanej w technologii submikronowej UMC 180 nm CMOS. Jednoczesny i dokładny pomiar czasu interakcji oraz energii zdeponowanej w detektorze wymaga zastosowania w torze odczytowym dwóch różnych, równoległych ścieżek przetwarzania sygnału: „szybkiej” i „wolnej”. Najważniejsze z punktu widzenia projektu parametry zostały przedstawione w Tab. 1.

Tabela 1. Parametry zaprojektowanego układu elektroniki odczytu front-end

technologia	CMOS 180 nm
rozpraszana moc [mW]	3,2
powierzchnia kanału [μm^2]	50 × 1100
czas t_p [ns] ścieżki „szybkiej”/ „wolnej”	30 / 80
wzmocnienie k_q [mV/fC] ścieżki „szybkiej”/ „wolnej”	70 / 35
ENC [e ⁻ rms] „wolnej” ścieżki (dla $C_{DET}=30$ pF)	586
niejednoznaczność znacznika czasu interakcji Δt [ns]	4

Najważniejsze parametry zaprojektowanej elektroniki odczytu front-end to: niski poziom rozpraszanej mocy $P=3.2$ mW, niski poziom szumów własnych $ENC=586$ e⁻ rms (dla „wolnej” ścieżki i $C_{det}=30$ pF), a powierzchnia krzemu zajmowana przez pojedynczy kanał wynosi $50 \mu\text{m} \times 1100 \mu\text{m}$.

Praca powstała przy wsparciu Ministerstwa Nauki i Szkolnictwa Wyższego.

Literatura

- [1] Brogna A. S., et. al.: N-XYTER, a CMOS read-out ASIC for high resolution time and amplitude measurements on high rate multi-channel counting mode neutron detectors. Nuclear Instruments and Methods in Physics Research Section A, vol. 568, 2006, s. 301-308.
- [2] Gryboś P.: Front-end Electronics for Multichannel Semiconductor Detector Systems. Editorial Series on ACCELERATOR SCIENCE, Warsaw University of Technology, 2010.
- [3] Kasinski K., et. al.: Dual stage charge-sensitive amplifier with constant-current feedback for Time-over-Threshold processing dedicated for silicon strip detectors. Proceedings of the 20th International Conference on Mixed Design of Integrated Circuit and Systems (MIXDES), 2013, s. 239-242.
- [4] Kleczek R., Grybos P.: FSDR16-Fast and Low Noise Multichannel ASIC with 5th Order Complex Shaping Amplifier. IEEE Transaction on Nuclear Science, vol. 60, no. 3, 2013, s. 2188-2195.
- [5] Razavi B., Design of analog integrated circuits. McGraw-Hill Companies, 2001.
- [6] Spieler H.: Semiconductor detector systems. Oxford University Press, 2005.

Mgr inż. Rafał Kleczek
e-mail: rafal.kleczek@agh.edu.pl



Ukończył Akademię Górniczo-Hutniczą: w 2009 roku Studia Magisterskie, kierunek: Elektronika i Telekomunikacja, specjalność: Mikroelektronika i aparatura biomedyczna, a w 2013 roku Studia Doktoranckie na Wydziale IET, dyscyplina: Elektronika. Obecnie pracuje jako asystent w Katedrze Metrologii i Elektroniki, AGH. Jego głównym zainteresowaniem naukowym jest projektowanie scalonych wielokanałowych układów elektroniki front-end do odczytu półprzewodnikowych detektorów promieniowania X.